

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-285071

(43)Date of publication of application : 13.10.2000

(51)Int.Cl. G06F 13/42

G06F 1/04

(21)Application number : 11-094328 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.03.1999 (72)Inventor : AIZAWA HIDEO

(54) COMPUTER SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption without reducing the processing speed of an extended device by controlling the change timing of an interface signal.

SOLUTION: A clock supply part sets up reference clock frequency lower than normal frequency and transmits the set clock frequency information 28 to an I/O bus controller 8. A timing information generation part 32 in the controller 8 recognizes current clock frequency from the inputted information 28, calculates timing information 29 for changing an interface signal by converting the information into clock frequency and transmits the information 29 to an interface signal generation part 31. The generation part 31 prepares an interface signal on the basis of the information 29 and accesses an extended device, e.g. KBCont.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application other
than the examiner's decision of rejection
or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

CLAIMS

[Claim(s)]

[Claim 1] In the computing system which controls data transfer to the extended device connected to the I/O bus based on the clock signal used as criteria, while supplying the frequency to each part in a system free [adjustable], said clock signal A clock supply means to output the frequency information on said clock signal, and a timing information generating means to change the timing information for counting said clock signal according to the frequency information outputted from said clock supply means, The computing system characterized by providing a means to count the clock signal supplied from said clock supply means based on the timing information which changed with said timing information generating means, and to generate the interface signal to said I/O bus.

[Claim 2] In the computing system which controls data transfer to the extended device connected to the I/O bus based on the clock signal used as criteria While issuing the directions to which a clock signal is changed to a clock supply means to supply the frequency for said clock signal to each part in a system free [adjustable], and said clock supply means The control means which outputs the frequency information on said clock signal, and a timing information generating means to change the timing information for counting said clock signal according to the frequency information outputted from said control means, The computing system characterized by providing a means to count the clock signal supplied from said clock supply means based on the timing information which changed with said timing information generating means, and to generate the interface signal to said I/O bus.

[Claim 3] It is the computing system characterized by providing the timing information generating section which generates the timing information for counting said clock signal according to the frequency information held by frequency information maintenance means to hold the frequency information to which said timing information generating means was outputted from said control means in the computing system according to claim 2, and said frequency information maintenance means.

[Claim 4] In the computing system which controls data transfer to the extended device connected to the I/O bus based on the clock signal used as criteria While issuing the directions to which a clock signal is changed to a clock supply means to supply the frequency for said clock signal to each part in a system free [adjustable], and said clock supply means The control means which outputs the timing information for counting said clock signal according to the frequency information on said clock signal, The computing system characterized by providing a means to count the clock signal supplied from said clock supply means based on the timing information outputted from said control means, and to generate the interface signal to said I/O bus.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the computing system which controls the data transmission rate of asynchronous buses, such as an ISA Bus, based on a reference clock.

[0002]

[Description of the Prior Art] From the former, although power-saving is advanced with the miniaturization, when a computing system, for example, a personal computer etc., makes a personal computer a power-saving condition, in order that the processing speed to an extended device may also fall, an improvement is desired.

[0003] The input-output-interface-control section, for example, an I/O bus controller etc., is prepared in the conventional computer system. In this I/O bus controller, if the frequency of a basic clock is made low, the whole equipment can be changed into a power-saving condition. However, the change timing of an interface signal will become large in this case, and the processing speed to an extended device will fall substantially.

[0004] Here, the reason is explained with reference to drawing 6 and drawing 7 .

Drawing showing the data write-in actuation to the extended device at the time of the normal operation of the I/O bus controller of the former [drawing 6] and drawing 7 are drawings showing the data write-in actuation to the extended device at the time of power saving.

[0005] In drawing 6 , CLK is a clock signal. CS# is a selection signal.

[0006] An extended device will recognize being accessed, if this signal is set to L level. WR# is a write strobe signal. If this signal is set to L level, an extended device will recognize that it is write-in actuation, and will input the value of a data signal.

DATA is a data signal.

[0007] Moreover, time amount T10 is time amount after CS# falls to L level until WR# falls to L level. Time amount T20 shows the time amount from which WR# has L level. Time amount T30 shows time amount after WR# starts on H level until CS# starts on H level.

[0008] The hour entry which shows the change timing of the interface signal doubled with change of the frequency information on a clock signal is called timing information. Timing information here is T10, T20, and T30, and if it converts into the number of clocks to count, it will be set to (2), (4), and (1), respectively.

[0009] Thus, in the conventional I/O bus controller which operates, if the frequency of a basic clock is set to usual 1/2 in order to reduce power consumption, since the power for making a basic clock will end few, power consumption can be reduced as the whole computing system. however, the part from which the clock frequency fell also in the timing of each data processing since the timing information T11, T21, and T31 converted into the number of clocks was also the set point (2) as it is, (4), and (1) as shown in drawing 7 -- it becomes late and the processing speed to an extended device falls substantially.

[0010]

[Problem(s) to be Solved by the Invention] This invention is for solving such a technical problem, and it aims at offering the computing system which can reduce power consumption, without reducing the processing speed to an extended device.

[0011]

[Means for Solving the Problem] In order to attain the object mentioned above, the computing system of invention according to claim 1 In the computing system which controls data transfer to the extended device connected to the I/O bus based on the clock signal used as criteria, while supplying the frequency to each part in a system free [adjustable], said clock signal A clock supply means to output the frequency information on said clock signal, and a timing information generating means to change the timing information for counting said clock signal according to the frequency information outputted from said clock supply means, It is characterized by providing a means to count the clock signal supplied from said clock supply means based on the timing information which changed with said timing information generating means, and to generate the interface signal to said I/O bus.

[0012] In the computer system which controls data transfer to the extended device connected to the I/O bus based on the clock signal with which the computer system of invention according to claim 2 serves as criteria While issuing the directions to which a clock signal is changed to a clock supply means to supply the frequency for said clock signal to each part in a system free [adjustable], and said clock supply means The control means which outputs the frequency information on said clock signal, and a timing information generating means to change the timing information for counting said clock signal according to the frequency information outputted from said

control means, It is characterized by providing a means to count the clock signal supplied from said clock supply means based on the timing information which changed with said timing information generating means, and to generate the interface signal to said I/O bus.

[0013] In the computing system according to claim 2, as for the computing system of invention according to claim 3, said timing information generating means is characterized by providing a frequency information maintenance means to hold the frequency information outputted from said control means, and the timing information generating section which generates the timing information for counting said clock signal according to the frequency information held by said frequency information maintenance means.

[0014] In the computer system which controls data transfer to the extended device connected to the I/O bus based on the clock signal with which the computer system of invention according to claim 4 serves as criteria While issuing the directions to which a clock signal is changed to a clock supply means to supply the frequency for said clock signal to each part in a system free [adjustable], and said clock supply means The control means which outputs the timing information for counting said clock signal according to the frequency information on said clock signal, It is characterized by providing a means to count the clock signal supplied from said clock supply means based on the timing information outputted from said control means, and to generate the interface signal to said I/O bus.

[0015] According to change of the frequency information on a basic clock, adjustable [of the change timing of an interface signal] is carried out, and the data transfer rate of asynchronous buses, such as an ISA Bus connected to the extended device, for example, a keyboard controller, is controlled by this invention.

[0016] That is, it can change to a power-saving condition from a normal operating state, and the frequency of a basic clock can reduce power consumption, without reducing the data transfer rate to an extended device, since it also makes counted value of a basic clock small in the form doubled with it when change, for example, a frequency, is made low.

[0017]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing. Drawing showing outline configurations, such as the computing system of the 1st operation gestalt which drawing 1 requires for this invention, for example, a personal computer etc., (a personal computer is called below), and drawing 2 are drawings showing the important section configuration of this computing system.

[0018] This computer system is a bus controller 1, the display controller 2, a graphics accelerator 3, the USB host controller 4, the VRAM controller 5, the PCMCIA controller 6, and Smart. The Media controller 7, the I/O bus controller 8, As the register interface bus 9, the VRAM interface bus 10, the clock controller 11, the

interruption controller 12, a system memory 20, and a control means It has the ** processor 21, the power control circuit 22, ROM23 and VRAM24, the keyboard controller 25 (KBCont.25 are called below), etc.

[0019] A bus controller 1, the display controller 2, a graphics accelerator 3, the USB host controller 4, the VRAM controller 5, the PCMCIA controller 6, Smart As a device controller 100, inside one IC chip, each module mounting is carried out and the Media controller 7, the I/O bus interface controller 8 (the I/O bus controller 8 is called below), the register interface bus 9, the VRAM interface bus 10, the clock controller 11, the interruption controller 12, etc. are formed into 1 chip.

[0020] A bus controller 1 changes a system bus into an internal bus. The display controller 2 performs control for displaying on the LCD panel or CRT. A graphics accelerator 3 improves a display speed. The USB host controller 4 controls the connected USB device. The VRAM controller 5 controls VRAM24. The PCMCIA controller 6 controls the connected card device. The SmartMedia controller 7 controls the connected flash memory. The I/O bus controller 8 performs control of KBCont.25 and the extended device connected in addition to this. The register interface bus 9 is an internal bus used for internal register access etc. That is, the register interface bus 9 is used for the data transmission between the registers of each module connected inside the device controller 100. The VRAM interface bus 10 is a bus which connects the device which accesses VRAM24. The clock controller 11 performs control of the clock source or the clock gate. For example, the clock signal CLK supplied from the clock feed zone 26 is supplied to each module in a device controller 100. Moreover, the supplied clock signal CLK is changed into clock signal CLK' for I/O bus controller 8, and it transmits to the I/O bus controller 8. The interruption controller 12 performs discernment and control of effective/invalid for an interruption factor. The interruption controller 12 controls the interrupt signal from a keyboard etc. The DRAM system memory 20 memorizes the various programs and constant datas of procedure including a program concerning employment of this equipment. Based on the program stored in the DRAM system memory 20, a processor 21 performs overall control of this equipment, and performs data processing to various kinds of data inputted from a keyboard etc. The power control circuit 22 controls system-wide supply voltage. MROM23 stores the application program for raising the utilization effectiveness of an interface. VRAM24 memorizes the various data displayed on a display device by the bitmapped image. KBCont.25 are one of the extended devices, code the key information inputted from the keyboard, and transmit it to the I/O bus controller 8. The clock feed zone 26 controls the frequency of a clock signal by the instruction of a processor 21. Moreover, while inputting a clock signal CLK into the clock controller 11, the frequency information 28 on a clock signal CLK (clock frequency information) is inputted to the I/O bus controller 8. I/O bus 27 is a bus which transmits an interface signal between the I/O-bus interface controller 8 and KBCont.25 which are an extended device.

[0021] As shown in drawing 2 , the I/O bus controller 8 has the interface signal generator 31 and the timing information generating section 32. The interface signal generator 31 changes directions of the carrier beam processor 21 into an interface signal through the register interface bus 9, and is accessed with KBCont.25 through I/O bus 27. The timing information generating section 32 computes the timing information to which an interface signal is changed based on the frequency information on the clock signal inputted from the clock feed zone 26, and transmits it to the interface signal generator 31. In addition, how to carry out the multiplication of the scale factor of the clock frequency at that time to the timing value at the time of the usual clock frequency as the calculation approach of timing information, and revalue for an integer can be considered. However, as long as it is the timing to be able to KBCont.operate, other approaches [approach / of timing information / calculation] may be used.

[0022] Next, with reference to drawing 3 , actuation of the computing system of this 1st operation gestalt is explained.

[0023] If a system-wide throughput becomes less, in order to cut down power consumption, a processor 21 will control the clock feed zone 26 to make a clock frequency lower than the usual frequency.

[0024] The clock feed zone 26 is controlled by the processor 21, and the clock frequency information 28 which shows that a current clock frequency is usual 1/2 is transmitted to the I/O bus controller 8 at the same time it is lower than the usual frequency in a frequency, for example, it sets to 1/2 etc. the basic clock CLK used as the criteria on which a device controller 100 operates and it supplies the clock controller 11. This clock frequency information 28 is inputted into the timing information generating section 32 in the I/O bus controller 8.

[0025] If the clock frequency information 28 is inputted into the timing information generating section 32, the timing information 29 over the frequency of clock CLK' into which the timing information generating section 32 has recognized that a current clock frequency is usual 1/2, and it was inputted from the clock frequency information 28 will be computed. For example, the timing information generating section 32 computes the set point for counting clock CLK' with the value, 1, 2, and 1, of the usual one half, and tells this timing information 29 to the interface signal generator 31 in the I/O bus controller 8. [i.e.,] The interface signal generator 31 makes an interface signal based on the inputted timing information 29, and accesses KBCont.25 through I/O bus 27.

[0026] Drawing 3 is drawing showing the interface signal when lowering a clock frequency to usual 1/2.

[0027] In this drawing, CLK' is a clock signal inputted from the clock controller 11. CS# is a selection signal.

[0028] KBCont.25 which are an extended device will recognize being accessed, if this selection-signal CS# is set to L level. WR# is a write strobe signal. If this write strobe

signal WR# is set to L level, KBCont.25 will recognize that it is write-in actuation, and will input the value of a data signal. DATA is a data signal.

[0029] Moreover, T12 is time amount after selection-signal CS# falls to L level until write strobe signal WR# falls to L level. T22 shows the time amount from which write strobe signal WR# has L level. T32 shows time amount after write strobe signal WR# starts on H level until selection-signal CS# starts on H level.

[0030] The hour entry which shows the change timing of the interface signal doubled with change of clock signal CLK', i.e., change of the clock frequency information 28, is timing information 29. Here, this timing information 29 is T12, T22, and T32, and if it converts into the number of clocks to count, it will be set to (1), (2), and (1), respectively.

[0031] When it is [at the time] low to about 1/2 and the frequency of the basic clock CLK of the whole system is usually carried out, as it is shown in drawing 3 , as for clock signal CLK' inputted into the I/O bus controller 8, the period Tck doubles (Tckx2).

[0032] With this operation gestalt, in the I/O bus controller 8, the value of the timing information 29 for counting clock signal CLK' to compensate for change of clock signal CLK' and the change timing of the interface signal outputted from the I/O bus controller 8 since it is made small will become small, and the processing speed to KBCont.25 will not be different from before power saving.

[0033] Thus, according to the computer system of this 1st operation gestalt, adjustable [of the value of the timing information 29 for counting clock signal CLK' to compensate for change of clock signal CLK' from the clock controller 11] is carried out to the I/O bus controller 8 by having formed the timing information generating section 32. For example, when it is 1/2 of the usual clock frequency, the change timing of the interface signal outputted from the I/O bus controller 8 will also become small, and the processing speed to KBCont.25 will not change it to 1/2 to before power saving.

[0034] Thereby, power consumption can be reduced, without reducing the processing speed to KBCont.25 (extended device).

[0035] Next, the computing system of the 2nd operation gestalt which starts this invention with reference to drawing 4 is explained. Drawing 4 is drawing showing the I/O bus controller 48 of the computer system of the 2nd operation gestalt of this invention.

[0036] As shown in this drawing, this I/O bus controller 48 has the interface signal generator 31, the timing information generating section 32, and a register 33.

[0037] In this case, the clock frequency information 28 is inputted into the interface signal generator 31 and a register 33 through an internal bus 9 from a processor 21. Therefore, the timing information generating section 32 will read the clock frequency information 28 set as the register 33 in this case.

[0038] In the case of the computer system of this 2nd operation gestalt, the clock

frequency information 28 is set as the register 33 in the I/O bus controller 48 through an internal bus 9 from a processor 21. The timing information generating section 32 reads the clock frequency information 28 set as the register 33, generates timing information 29, and outputs it to the interface signal generator 31.

[0039] Thus, since it is not necessary to output the clock frequency information 28 from the clock feed zone 26 while the same effectiveness as the above-mentioned 1st operation gestalt is acquired, since according to the computer system of this 2nd operation gestalt the clock frequency information 28 from a processor 21 is set as a register 33, the timing information generating section 32 reads the clock frequency information 28 on this register 33 and timing information 29 is generated, this invention is realizable after considering the clock feed zone 26 as a comparatively simple configuration.

[0040] Next, the computing system of the 3rd operation gestalt which starts this invention with reference to drawing 5 is explained. Drawing 5 is drawing showing the I/O bus controller 58 of the computer system of the 3rd operation gestalt of this invention.

[0041] This 3rd operation gestalt is the example which built in the timing information register 34 instead of the timing information generating section 32 of the above-mentioned 1st and 2nd operation gestalt.

[0042] As shown in this drawing, this I/O bus controller 58 consists of only an interface signal generator 31 and a timing information register 34.

[0043] This example is an example using the calculation function by the side of a processor 21. That is, since processor 21 self usually directs modification of a clock frequency to the clock feed zone 26 when making the whole equipment into a power-saving condition, the processor 21 knows the value of the clock frequency information to change. Then, the interface signal generator 31 reads each timing information 28 which the processor 21 computed each timing information 28 based on the value of clock frequency information in this case, held this computed timing information 28 to the timing information register 34 of the I/O bus controller 58 through the internal bus 9, and was held at this timing information register 34, and an interface signal is generated.

[0044] By doing in this way, according to the computer system of this 3rd operation gestalt, while the same effectiveness as the above-mentioned 1st operation gestalt is acquired, the configuration of the I/O bus controller 58 can be simplified.

[0045] In addition, it is not limited only to each above-mentioned operation gestalt.

[0046] Although the above-mentioned operation gestalt showed the example which formed the clock feed zone 26 in the exterior of a device controller 100, the clock feed zone 26 may be arranged that is, built in the interior of the I/O bus controller 8.

[0047] Moreover, memory, such as FP-DRAM and SRAM, is connected to the I/O bus controller 8, and the same effectiveness can be acquired even if it makes it operate the I/O bus controller 8 as a memory controller.

[0048] Furthermore, by giving the function to stop the clock to the applicable section to it, while the I/O bus controller 8 is not operating for the clock controller 11, when a clock is lowered, the number of clocks needed while the I/O bus controller 8 operates can be reduced (when it is made to change).

[0049] Thereby, system-wide power consumption can be reduced.

[0050]

[Effect of the Invention] As it ****(ed) above, according to this invention, according to change of the frequency information on a basic clock, adjustable [of the change timing of an interface signal] is carried out, and the data transfer rate of the extended device connected to the I/O bus is controlled.

[0051] The frequency of a basic clock can sometimes reduce power consumption by following, for example, changing the whole system from a normal operating state to a power-saving condition, without reducing the data transfer rate to an extended device, since it also makes counted value of a basic clock small in the form doubled with it when change, for example, a frequency, is made low.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the whole computing system configuration concerning this invention.

[Drawing 2] Drawing showing the internal configuration of the I/O bus controller of the computer system of the 1st operation gestalt.

[Drawing 3] The timing chart of each signal when operating the computing system of the 1st operation gestalt with one half of usual clock frequencies.

[Drawing 4] Drawing showing the internal configuration of the I/O bus controller of the 2nd operation gestalt.

[Drawing 5] Drawing showing the internal configuration of the I/O bus controller of the 3rd operation gestalt.

[Drawing 6] The timing chart of each signal when operating the conventional computer system with the usual clock frequency.

[Drawing 7] The timing chart of each signal when operating the conventional computing system with one half of usual clock frequencies.

[Description of Notations]

100 [-- A clock controller, 20 / -- DRAM, 21 / -- A processor, 25 / -- KBCont. (extended device) 26 / -- Clock feed zone.] -- A device controller, 1 -- A bus controller, 8 -- An I/O-bus interface controller (I/O bus controller), 11

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
G 0 6 F 13/42	3 5 0	G 0 6 F 13/42	3 5 0 B 5 B 0 7 7
1/04	3 0 1	1/04	3 0 1 C 5 B 0 7 9

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平11-94328

(22) 出願日 平成11年3月31日 (1999.3.31)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 相沢 英夫

東京都青梅市末広町2丁目9番地 株式会社

東芝青梅工場内

(74) 代理人 100077849

弁理士 須山 佐一

Fターム(参考) 5B077 FF01 GG12 MM02

5B079 BA01 BB04 BC01 DD02 DD05

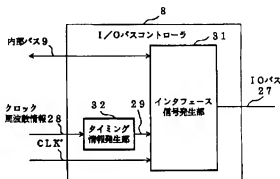
DD20

(54) 【発明の名称】 計算機システム

(57) 【要約】

【課題】 インタフェース信号の変化タイミングを制御することによって、拡張デバイスに対する処理速度を落とさずに消費電力を低減する。

【解決手段】 クロック供給部26は、基準となるクロック周波数を通常の周波数より低くし、そのクロック周波数情報28をI/Oバスコントローラ8に伝送する。I/Oバスコントローラ8内にあるタイミング情報発生部32は入力されたクロック周波数情報28から現在のクロック周波数を認識し、インタフェース信号の変化するタイミング情報29をクロック周波数に換算して算出し、インタフェース信号発生部31に伝える。インタフェース信号発生部31はこのタイミング情報29を基にインタフェース信号を作り拡張デバイス、例えばK B Co nt. 2 5等にアクセスする。



【特許請求の範囲】

【請求項1】 基準となるクロック信号に基づいて1/Oバスに接続された拡張デバイスに対してデータ転送を制御する計算機システムにおいて、前記クロック信号をその周波数を可変自在にシステム内の各部に供給すると共に、前記クロック信号の周波数情報を出力するクロック供給手段と、前記クロック供給手段から出力された周波数情報に合わせて前記クロック信号をカウントするためのタイミング情報を変化させるタイミング情報発生手段と、前記タイミング情報発生手段により変化されたタイミング情報を基に前記クロック供給手段から供給されたクロック信号をカウントして前記1/Oバスへのインターフェース信号を発生する手段とを具備することを特徴とする計算機システム。

【請求項2】 基準となるクロック信号に基づいて1/Oバスに接続された拡張デバイスに対してデータ転送を制御する計算機システムにおいて、前記クロック信号をその周波数を可変自在にシステム内の各部に供給するクロック供給手段と、前記クロック供給手段に対してクロック信号を変化させる指示を出すと共に、前記クロック信号の周波数情報を出力する制御手段と、前記制御手段から出力された周波数情報に合わせて前記クロック信号をカウントするためのタイミング情報を変化させるタイミング情報発生手段と、前記タイミング情報発生手段により変化されたタイミング情報を基に前記クロック供給手段から供給されたクロック信号をカウントして前記1/Oバスへのインターフェース信号を発生する手段とを具備することを特徴とする計算機システム。

【請求項3】 請求項2記載の計算機システムにおいて、前記タイミング情報発生手段は、前記制御手段から出力された周波数情報を保持する周波数情報保持手段と、前記周波数情報保持手段により保持された周波数情報に合わせて前記クロック信号をカウントするためのタイミング情報を発生するタイミング情報発生部とを具備することを特徴とする計算機システム。

【請求項4】 基準となるクロック信号に基づいて1/Oバスに接続された拡張デバイスに対してデータ転送を制御する計算機システムにおいて、前記クロック信号をその周波数を可変自在にシステム内の各部に供給するクロック供給手段と、前記クロック供給手段に対してクロック信号を変化させる指示を出すと共に、前記クロック信号の周波数情報に合わせて前記クロック信号をカウントするためのタイミング情報を出力する制御手段と、前記制御手段から出力されたタイミング情報を基に前記

クロック供給手段から供給されたクロック信号をカウントして前記1/Oバスへのインターフェース信号を発生する手段とを具備することを特徴とする計算機システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば基準クロックに基づいてISAバスなどの非同期バスのデータ伝送速度を制御する計算機システムに関する。

【0002】

【従来の技術】従来から、計算機システム、例えばパソコンなどは小型化と共に省電力化が進められているが、パソコンを省電力状態とした場合に拡張デバイスに対する処理速度も落ちてしまうため改善が望まれている。

【0003】従来の計算機システムには、入出力インターフェース制御部、例えば1/Oバスコントローラなどが設けられている。この1/Oバスコントローラにおいて、基本クロックの周波数を低くすると、装置全体を省電力状態にすることができる。しかしながら、この場合、インターフェース信号の変化タイミングが大きくなり、拡張デバイスに対する処理速度が大幅に落ちてしまう。

【0004】ここで、図6及び図7を参照しその理由を説明する。図6は従来の1/Oバスコントローラの通常動作時の拡張デバイスへのデータ書き込み動作を示す図、図7は省電力時の拡張デバイスへのデータ書き込み動作を示す図である。

【0005】図6において、CLKはクロック信号である。CS#は選択信号である。

【0006】拡張デバイスはこの信号がLレベルになると、アクセスされていることを認識する。WR#はライトストロブ信号である。拡張デバイスはこの信号がLレベルになると、書き込み動作であることを認識し、データ信号の値を入力する。DATAはデータ信号である。

【0007】また、時間T10はCS#がLレベルに立ち下ってからWR#がLレベルに立ち下がるまでの時間である。時間T20はWR#がLレベルになっている時間を示す。時間T30はWR#がHレベルに立ち上がったからCS#がHレベルに立ち上がるまでの時間を示す。

【0008】クロック信号の周波数情報の変化に合わせてインターフェース信号の変化タイミングを示す時間情報をタイミング情報と呼ぶ。ここでのタイミング情報はT10、T20、T30であり、カウントされるクロック数に換算すると、それぞれ(2)、(4)、(1)となる。

【0009】このように動作する従来の1/Oバスコントローラにおいて、消費電力を低減するために基本クロックの周波数を例えば通常の2分の1にすると、基本ク

ロックを作るための電力が少なく済むため、計算機システム全体として消費電力が低減できる。しかし、図7に示すように、クロック数に換算されたタイミング情報T11、T21、T31もそのままでの設定値(2)、

(4)、(1)であるため、各データ処理のタイミングもクロック周波数が落ちた分遅くなってしまい、拡張デバイスに対する処理速度が大幅に低下する。

【0010】

【発明が解決しようとする課題】本発明はこのような課題を解決するためのもので、拡張デバイスに対する処理速度を落とさずに消費電力を低減することのできる計算機システムを提供することを目的としている。

【0011】

【課題を解決するための手段】上述した目的を達成するために、請求項1記載の発明の計算機システムは、基準となるクロック信号に基づいてI/Oバスに接続された拡張デバイスに対してデータ転送を制御する計算機システムにおいて、前記クロック信号をその周波数を可変自在にシステム内の各部に供給すると共に、前記クロック信号の周波数情報を出力するクロック供給手段と、前記クロック供給手段から出力された周波数情報に合わせて前記クロック信号をカウントするためのタイミング情報を変化させるタイミング情報発生手段と、前記タイミング情報発生手段により変化したタイミング情報を基に前記クロック供給手段から供給されたクロック信号をカウントして前記I/Oバスへのインターフェース信号を発生する手段とを具備することを特徴としている。

【0012】請求項2記載の発明の計算機システムは、基準となるクロック信号に基づいてI/Oバスに接続された拡張デバイスに対してデータ転送を制御する計算機システムにおいて、前記クロック信号をその周波数を可変自在にシステム内の各部に供給するクロック供給手段と、前記クロック供給手段に対してクロック信号を変化させる指示を出すと共に、前記クロック信号の周波数情報を出力する制御手段と、前記制御手段から出力されたタイミング情報に合わせて前記クロック信号をカウントするためのタイミング情報を変化させるタイミング情報発生手段と、前記タイミング情報発生手段により変化したタイミング情報を基に前記クロック供給手段から供給されたクロック信号をカウントして前記I/Oバスへのインターフェース信号を発生する手段とを具備することを特徴としている。

【0013】請求項3記載の発明の計算機システムは請求項2記載の計算機システムにおいて、前記タイミング情報発生手段は、前記制御手段から出力された周波数情報を保持する周波数情報保持手段と、前記周波数情報保持手段により保持された周波数情報に合わせて前記クロック信号をカウントするためのタイミング情報を発生するタイミング情報発生部とを具備することを特徴としている。

【0014】請求項4記載の発明の計算機システムは、基準となるクロック信号に基づいてI/Oバスに接続された拡張デバイスに対してデータ転送を制御する計算機システムにおいて、前記クロック信号をその周波数を可変自在にシステム内の各部に供給するクロック供給手段と、前記クロック供給手段に対してクロック信号を変化させる指示を出すと共に、前記クロック信号の周波数情報に合わせて前記クロック信号をカウントするためのタイミング情報を出力する制御手段と、前記制御手段から出力されたタイミング情報を基に前記クロック供給手段から供給されたクロック信号をカウントして前記I/Oバスへのインターフェース信号を発生する手段とを具備することを特徴としている。

【0015】本発明では、基本クロックの周波数情報の変化に応じてインターフェース信号の変化タイミングが可変され、拡張デバイス、例えばキーボードコントローラと接続されたISAバスなどの非同期バスのデータ転送速度が制御される。

【0016】すなわち、通常の動作状態から省電力状態にかわり、基本クロックの周波数が変化、例えば周波数が低くされた場合、それに合わせて基本クロックのカウント値も小さくするので、拡張デバイスに対するデータ転送速度を落とさずに消費電力を低減することができる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して詳細に説明する。図1は本発明に係る第1実施形態の計算機システム、例えばパーソナルコンピュータ(以下パソコンと称す)などの概要構成を示す図、図2はこの計算機システムの要部構成を示す図である。

【0018】この計算機システムはバスコントローラ1、表示コントローラ2、グラフィックスアクセラレータ3、USBホストコントローラ4、VRAMコントローラ5、PCMCIAコントローラ6、Smart Mediaコントローラ7、I/Oバスコントローラ8、レジスタインタフェースバス9、VRAMインタフェースバス10、クロックコントローラ11、割り込みコントローラ12、システムメモリ20、制御手段としてのプロセッサ21、電源制御回路22、ROM23、VRAM24、キーボードコントローラ25(以下KBCont.25と称す)などを有している。

【0019】バスコントローラ1、表示コントローラ2、グラフィックスアクセラレータ3、USBホストコントローラ4、VRAMコントローラ5、PCMCIAコントローラ6、Smart Mediaコントローラ7、I/Oバスコントローラ8と称す)、レジスタインタフェースバス9、VRAMインタフェースバス10、クロックコントローラ11、割り込みコントローラ12などはデバイスコントローラ100として1つのICチップ

内部に各モジュール実装され、1チップ化されている。

【0020】バスコントローラ1はシステムバスを内部バスに変換する。表示コントローラ2はLCDパネルやCRTに表示するための制御を行う。グラフィックスアクセラレータ3は表示速度を改善する。USBホストコントローラ4は接続したUSBデバイスを制御する。VRAMコントローラ5はVRAM24を制御する。PCMCIAコントローラ6は接続したカードデバイスの制御を行う。SmartMediaコントローラ7は接続したフラッシュメモリの制御を行う。I/Oバスコントローラ8はKBCont. 25やその他接続した拡張デバイスの制御を行う。レジスタインタフェースバス9は内部レジスタアクセスなどに用いる内部バスである。つまりレジスタインタフェースバス9はデバイスコントローラ100の内部で接続された各モジュールのレジスタ間のデータ伝送に用いられる。VRAMインタフェースバス10はVRAM24をアクセスするデバイスを接続するバスである。クロックコントローラ11はクロックソースやクロックゲートの制御を行う。例えばクロック供給部26から供給されたクロック信号CLKをデバイスコントローラ100内の各モジュールに供給する。また、供給されたクロック信号CLKをI/Oバスコントローラ8用のクロック信号CLK'に変換しI/Oバスコントローラ8に送信する。割り込みコントローラ12は割り込み要因を識別、有効/無効の制御を行う。割り込みコントローラ12は例えばキーボード等からの割り込み信号を制御する。DRAMシステムメモリ20は本装置の運用に係る処理手順のプログラムをはじめとする各種プログラムや定数データを記憶する。プロセッサ21はDRAMシステムメモリ20に格納されたプログラムに基づいて、本装置の全体的な制御を行い、キーボード等から入力される各種のデータに対する演算処理を実行する。電源制御回路22はシステム全体の電源電圧を制御する。MROM23はインタフェースの利用効率を高めるためのアプリケーションプログラムを格納する。VRAM24はビットマップイメージで表示デバイスに表示する各種データを記憶する。KBCont. 25は拡張デバイスの一つであり、キーボードから入力されたキー情報をコード化してI/Oバスコントローラ8に伝送する。クロック供給部26はプロセッサ21の命令でクロック信号の周波数を制御する。また、クロックコントローラ11にクロック信号CLKを入力すると共に、I/Oバスコントローラ8に対してクロック信号CLKの周波数情報(クロック周波数情報)28を入力する。I/Oバス27はI/Oバスインタフェースコントローラ8と拡張デバイスであるKBCont. 25との間でインタフェース信号を伝送するバスである。

【0021】図2に示すように、I/Oバスコントローラ8はインタフェース信号発生部31、タイミング情報発生部32を有している。インタフェース信号発生部31

1はレジスタインタフェースバス9を通じて受けたプロセッサ21の指示をインタフェース信号に変換してI/Oバス27を介してKBCont. 25とアクセスする。タイミング情報発生部32はクロック供給部26から入力したクロック信号の周波数情報に基づいて、インタフェース信号を変化させるタイミング情報を算出し、インタフェース信号発生部31に伝送する。なお、タイミング情報の算出方法として、通常のクロック周波数時のタイミング値に対し、そのときのクロック周波数の倍率を乗算し整数に切り上げる方法が考えられる。しかし、KBCont. 25が動作可能なタイミングであれば、タイミング情報の算出方法については他の方法でもよい。

【0022】次に、図3を参照してこの第1実施形態の計算機システムの動作について説明する。

【0023】システム全体の処理量が減ると、消費電力を減らすためにプロセッサ21はクロック周波数を通常の周波数より低くするようにクロック供給部26を制御する。

【0024】クロック供給部26はプロセッサ21に制御されて、デバイスコントローラ100が動作する基準となる基本クロックCLKを、周波数を通常の周波数より低く、例えば2分の1などにしてクロックコントローラ11に供給すると同時に、現在のクロック周波数が通常の2分の1であることを示すクロック周波数情報28をI/Oバスコントローラ8に伝送する。このクロック周波数情報28はI/Oバスコントローラ8内にあるタイミング情報発生部32に入力される。

【0025】クロック周波数情報28がタイミング情報発生部32に入力されると、タイミング情報発生部32はクロック周波数情報28から現在のクロック周波数が通常の2分の1であることを認識し、入力されたクロックCLK'の周波数に対するタイミング情報29を算出する。例えばタイミング情報発生部32はクロックCLK'をカウントするための設定値を通常の半分の値、つまり1、2、1と算出し、このタイミング情報29をI/Oバスコントローラ8内にあるインタフェース信号発生部31に伝える。インタフェース信号発生部31は入力されたタイミング情報29を基にインタフェース信号を作り、I/Oバス27を通じてKBCont. 25にアクセスする。

【0026】図3はクロック周波数を通常の2分の1に下げたときのインタフェース信号を示す図である。

【0027】同図において、CLK'はクロックコントローラ11から入力されるクロック信号である。CS#は選択信号である。

【0028】拡張デバイスであるKBCont. 25はこの選択信号CS#がLレベルになると、アクセスされてることを認識する。WR#はライトストロブ信号である。KBCont. 25はこのライトストロブ信号WR#がLレベルになると、書き込み動作であることを認識

し、データ信号の値を入力する。DATAはデータ信号である。

【0029】また、T12は選択信号CS#がLレベルに立ち下ってからライトストロブ信号WR#がLレベルに立ち上がるまでの時間である。T22はライトストロブ信号WR#がLレベルになっている時間を示す。T32はライトストロブ信号WR#がHレベルに立ち上ってから選択信号CS#がHレベルに立ち上がるまでの時間を示す。

【0030】クロック信号CLK'の変化、すなわちクロック周波数情報28の変化に合わせたインタフェース信号の変化タイミングを示す時間情報がタイミング情報29である。ここではこのタイミング情報29がT12、T22、T32であり、カウントされるクロック数に換算すると、それぞれ(1)、(2)、(1)となる。

【0031】システム全体の基本クロックCLKの周波数を、通常時の2分の1程度に低くした場合、図3に示すように、1/Oバスコントローラ8に入力されるクロック信号CLK'はその周期Tckが2倍(Tck×2)になる。

【0032】本実施形態では、1/Oバスコントローラ8において、クロック信号CLK'の変化に合わせてクロック信号CLK'をカウントするためのタイミング情報29の値も小さくされるので、1/Oバスコントローラ8から出力されるインタフェース信号の変化タイミングも小さくなり、KBCont. 25に対する処理速度は省電力前と変わらなくなる。

【0033】このようにこの第1実施形態の計算機システムによれば、1/Oバスコントローラ8にタイミング情報発生部32を設けたことで、クロックコントローラ11からのクロック信号CLK'の変化に合わせてクロック信号CLK'をカウントするためのタイミング情報29の値も変えられる。例えば通常のクロック周波数の2分の1であった場合、1/Oバスコントローラ8から出力されるインタフェース信号の変化タイミングも2分の1に小さくなり、KBCont. 25に対する処理速度は省電力前と変わらなくなる。

【0034】これにより、KBCont. 25(拡張デバイス)に対する処理速度を落とさずに消費電力を低減することができる。

【0035】次に、図4を参照して本発明に係る第2の実施形態の計算機システムについて説明する。図4は本発明の第2実施形態の計算機システムの1/Oバスコントローラ48を示す図である。

【0036】図4に示すように、この1/Oバスコントローラ48はインタフェース信号発生部31、タイミング情報発生部32及びレジスタ33を有している。

【0037】この場合、インタフェース信号発生部31とレジスタ33には、プロセッサ21から内部バス9を

通じてクロック周波数情報28が入力される。したがって、この場合、タイミング情報発生部32はレジスタ33に設定されたクロック周波数情報28を読み出すことになる。

【0038】この第2実施形態の計算機システムの場合、プロセッサ21から内部バス9を通じてクロック周波数情報28が1/Oバスコントローラ48内のレジスタ33に設定される。タイミング情報発生部32はレジスタ33に設定されたクロック周波数情報28を読み出し、タイミング情報29を生成し、インタフェース信号発生部31に出力する。

【0039】このようにこの第2実施形態の計算機システムによれば、プロセッサ21からのクロック周波数情報28をレジスタ33に設定し、タイミング情報発生部32はこのレジスタ33のクロック周波数情報28を読み出してタイミング情報29を生成するので、上記第1実施形態と同様の効果が得られると共に、クロック供給部26からクロック周波数情報28を出力せずに済むので、クロック供給部26を比較的単純な構成とした上で本発明を実現できる。

【0040】次に、図5を参照して本発明に係る第3の実施形態の計算機システムについて説明する。図5は本発明の第3実施形態の計算機システムの1/Oバスコントローラ58を示す図である。

【0041】この第3実施形態は上記第1及び第2実施形態のタイミング情報発生部32の代わりにタイミング情報レジスタ34を内蔵した例である。

【0042】図5に示すように、この1/Oバスコントローラ58はインタフェース信号発生部31とタイミング情報レジスタ34だけで構成されている。

【0043】この例は、プロセッサ21側の演算機能を利用する例である。すなわち、通常、装置全体を省電力状態とするときには、プロセッサ21自身がクロック供給部26に対してクロック周波数の変更を指示するので、プロセッサ21は変更するクロック周波数情報の値を知っている。そこで、この場合、クロック周波数情報の値を基にしてプロセッサ21が各タイミング情報28を算出し、この算出したタイミング情報28を内部バス9を通じて1/Oバスコントローラ58のタイミング情報レジスタ34に保持し、このタイミング情報レジスタ34に保持された各タイミング情報28をインタフェース信号発生部31が読み込み、インタフェース信号を生成する。

【0044】このようにすることで、この第3実施形態の計算機システムによれば、上記第1実施形態と同様の効果が得られると共に、1/Oバスコントローラ58の構成を簡素化することができる。

【0045】なお、上記各実施形態のみに限定されるものではない。

【0046】上記実施形態では、クロック供給部26を

デバイスコントローラ100の外部に設けた例を示したが、クロック供給部26はI/Oバスコントローラ8の内部に配置、つまり内蔵してもよい。

【0047】また、I/Oバスコントローラ8にF-DRAMやS-DRAM等のメモリを接続して、I/Oバスコントローラ8をメモリコントローラとして機能させるようにしても同様の効果を得られる。

【0048】さらに、クロックコントローラ11に、I/Oバスコントローラ8が動作していないときに該当部へのクロックを停止させる機能を持たせることで、クロックを下げたときに（変化させたときに）、I/Oバスコントローラ8が動作中に必要とするクロック数を減らすことができる。

【0049】これにより、システム全体の消費電力を低減することができる。

【0050】

【発明の効果】以上説明したように本発明によれば、基本クロックの周波数情報の変化に応じてインターフェース信号の変化タイミングが可変され、I/Oバスに接続された拡張デバイスのデータ転送速度が制御される。

【0051】したがって、例えばシステム全体が通常の動作状態から省電力状態に切り替えられときに、基本クロックの周波数が変化、例えば周波数が低くされた場合、それに合わせる形で基本クロックのカウント値も小さくするので、拡張デバイスに対するデータ転送速度を

落とさずに消費電力を低減することができる。

【図面の簡単な説明】

【図1】本発明に係る計算機システムの全体構成を示す図。

【図2】第1実施形態の計算機システムのI/Oバスコントローラの内部構成を示す図。

【図3】第1実施形態の計算機システムを通常の1/2のクロック周波数で動作させたときの各信号のタイミングチャート。

【図4】第2実施形態のI/Oバスコントローラの内部構成を示す図。

【図5】第3実施形態のI/Oバスコントローラの内部構成を示す図。

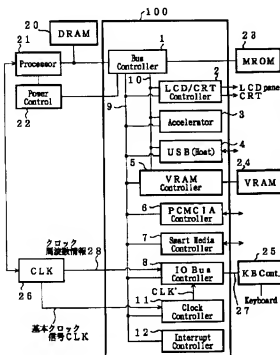
【図6】従来の計算機システムを通常のクロック周波数で動作させたときの各信号のタイミングチャート。

【図7】従来の計算機システムを通常の1/2のクロック周波数で動作させたときの各信号のタイミングチャート。

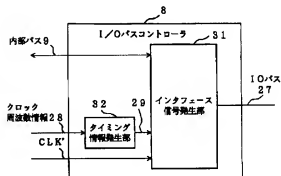
【符号の説明】

100…デバイスコントローラ、1…バスコントローラ、8…I/Oバスインタフェースコントローラ（I/Oバスコントローラ）、11…クロックコントローラ、20…DRAM、21…プロセッサ、22…電源制御部、23…ROM、24…VRAM、25…KB Cont.（拡張デバイス）、26…クロック供給部。

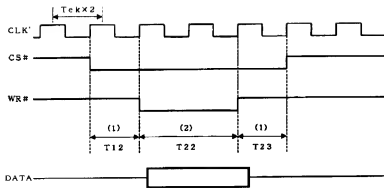
【図1】



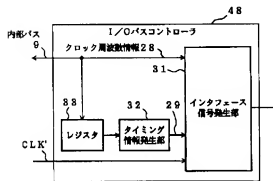
【図2】



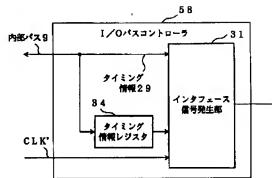
【図3】



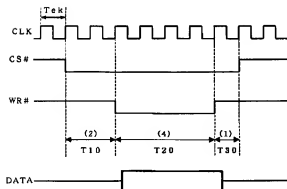
【図4】



【図5】



【図6】



【図7】

